



PATENT
0941-0783P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HU, Shu-Fen et al. Conf.: 2300
Appl. No.: 10/602,890 Group:
Filed: June 25, 2003 Examiner:
For: SINGLE-ELECTRON TRANSISTOR AND
FABRICATION METHOD THEREOF

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 17, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

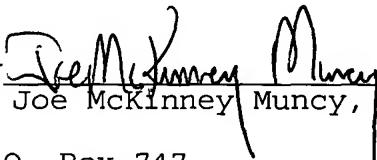
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	91114853	July 4, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

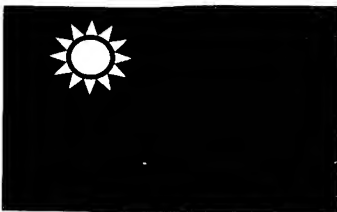
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

KM/mzk
0941-0783P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



0941-2-1132
10/10/03

June 11, 2003
Hil, Hsu, Hsu et al.
USKRB

(703) 205-8000

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 07 月 04 日
Application Date

申請案號：091114853
Application No.

申請人：行政院國家科學委員會
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 6 日
Issue Date

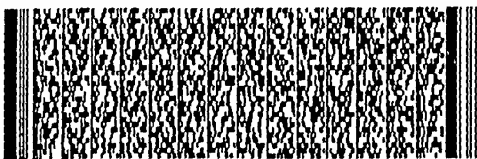
發文字號：09220441190
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	自我對準之複晶矽間隙壁閘極之單電子電晶體結構及其製造方法
	英文	
二、 發明人	姓名 (中文)	1. 胡淑芬 2. 吳永俊 3. 盧文泰 4. 劉學欣
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 新竹市東南街281巷6號4樓 2. 台北縣樹林鎮八德街71巷4號3樓 3. 台南縣柳營鄉果毅村1鄰12號之4 4. 新竹市大學路1001-1號
三、 申請人	姓名 (名稱) (中文)	1. 行政院國家科學委員會
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北市和平東路二段一〇六號十八樓
	代表人 姓名 (中文)	1. 魏哲和
	代表人 姓名 (英文)	1.



申請日期：

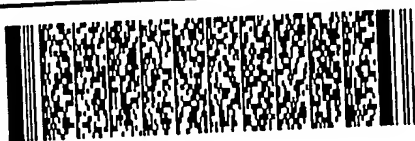
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

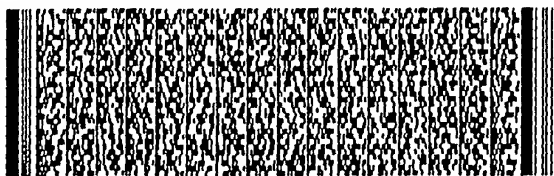
一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 黃調元 6. 趙天生
	姓名 (英文)	5. 6.
	國籍	5. 中華民國 6. 中華民國
	住、居所	5. 新竹市東區建中一路25號7樓-1 6. 新竹市食品路45號6樓
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



四、中文發明摘要 (發明之名稱：自我對準之複晶矽間隙壁閘極之單電子電晶體結構及其製造方法)

一種利用在SOI晶片上製作源極與汲極之間的1維通道(channel)，加上自我對準複晶矽間隙壁閘極(polysilicon spacer gate)外接之偏壓，形成雙位能障與量子點，以期達成單電子電晶體結構之製作的方法。本發明係藉由電子束微影多層對準直寫技術、氧化製程特性，濕式蝕刻，在SOI晶片上製作源極與汲極之間的奈米級1維通道，加上自我對準製程方式，蝕刻為分立之複晶矽間隙壁閘極，施與偏壓使通道中形成兩個位能障壁(potential barrier)及夾於此兩個位能障壁之中可貯存電荷之電子量子井(quantum well)，並輔以金屬上閘極的偏壓控制，以期達成雙閘極之單電子電晶體結構之運作。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

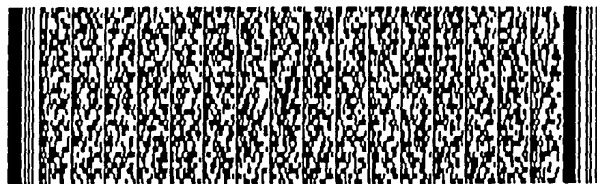
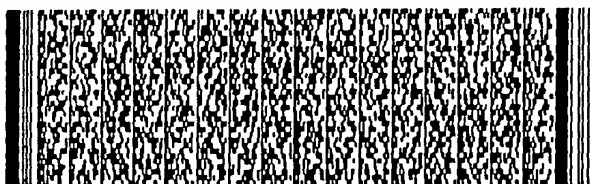
五、發明說明 (1)

本發明係有關於一種製造奈米結構與元件的方法，特別係有關於一種自我對準之複晶矽間隙壁閘極之單電子電晶體結構及其製造方法。

隨著半導體技術的進步，製程技術一直朝深次微米，亦即奈米級前進，所以元件之積集度增加而尺寸亦隨之減小，而達成奈米結構與元件的技術大致可分為磊晶成長技術、自我組裝(self-assembly)和微影技術等。磊晶成長技術大部份應用於III-V族化合物半導體。另外自我組裝則利用自然法則成長晶體，其方式雖可形成體積夠小之奈米級晶粒，但也因此無法控制於特定位置成長晶粒與晶粒成長之數量。至於微影技術則受限於機台光源等限制，解析能力尚無法達到奈米級量子元件幾個奈米線寬之需求。

近年來Choi等人於"Fabrication of a dual-gate-controlled Coulomb blockade transistor based on a silicon-on-insulator structure; 1998 Semicond. Sci. Technol." 中提出以電子束微影製程來製作閘極控制之單電子電晶體的結構，其缺點一為2個分立下閘極圖案，會受電子束微影本身有近階效應(proximity effect)影響，造成彼此間距過大(約為100奈米)，進而造成電荷之量子井電容過大，而只能於極低溫15 mK量測到單電子效應，二為由電子束微影及蝕刻分立下閘極圖案，極易發生不對稱的情況，進而造成電性的失真。

有鑑於此，本發明主要係為了解決上述問題，而提出



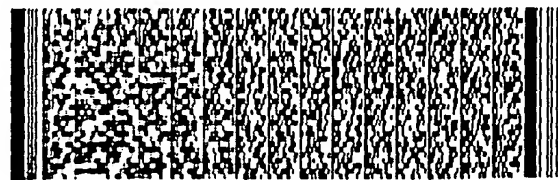
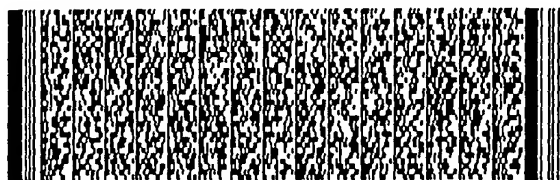
五、發明說明 (2)

一種自我對準之複晶矽間隙壁閘極之單電子電晶體結構及其製造方法，利用複晶矽間隙壁閘極 (polysilicon spacer gate)，來作為分立下閘極，藉由此法可大為縮減分立閘極的間距(約為40奈米或更小)，進而減少量子井的電容，來提高操作溫度，直到室溫可操作，並有極佳的對稱性。流程為以電子束微影多層對準直寫技術、氧化製程特性，乾、濕式蝕刻方式在SOI晶片上製作源極

(source) 與汲極 (drain) 之間的1維奈米級通道 (nano channel)。接著製作跨於通道上，二氧化矽的1維奈米級細線(nano wire)。再來沈積複晶矽，並蝕刻形成複晶矽間隙壁閘極 (polysilicon spacer gate)，施與偏壓使通道中形成兩個位能障壁(potential barrier)，及夾於此兩個位能障壁之中可貯存電荷之量子井(quantum well)。再於上方加上金屬閘極，加偏壓感應形成2維電子氣，並同時控制量子井之能階，以期達成雙閘極控制之單電子電晶體結構的運作。其整體製程符合現今超大型積體電路的製程，未來可應用於單電子電晶體之製作，故極具產業應用價值。

實施例

電子束微影多層對準直寫技術、氧化製程特性，濕式蝕刻，在絕緣體上有矽(SOI)晶片上製作源極與汲極之間的奈米級1維通道，製作二氧化矽的1維奈米級細線(nano wire)，為利用電子束微影技術，並輔以稀釋之氫氟酸(HF)來進一步縮減線寬。如第1圖所示。加上分立之複晶

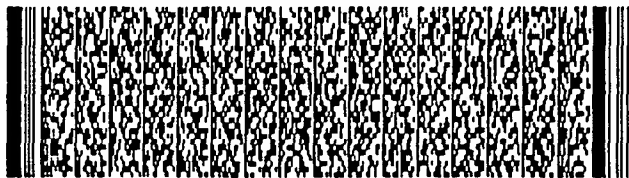


五、發明說明 (3)

矽間隙壁閘極外接之偏壓使通道中形成兩個位能障壁 (potential barrier) 及夾於此兩個位能障壁之中可貯存電荷之電子量子井 (quantum well)，以期達成雙閘極之單電子電晶體結構之製作。

製程步驟類似金氧半場效電晶體 (MOSFET) 製程，底材可選用標準 6 吋 p-type SOI 晶片，其最上層之 Si 厚度為 550 Å。元件結構為採用雙閘極之電晶體，左、右、中間各為源極 (source)、汲極 (drain) 與通道 (channel)，下閘極 (lower gate) 為分立之複晶矽間隙壁閘極 (polysilicon spacer gate) 形式，與通道間有 5 奈米的二氧化矽。加上偏壓使通道中形成兩個位能障壁 (potential barrier) 及夾於此兩個位能障壁之中可貯存電荷之量子井 (quantum well)。上層金屬閘極 (upper gate) 施與偏壓來控制電晶體開或關及調控量子井之能階，進而形成單電子電晶體。元件的複晶矽閘極之電子顯微鏡照片，如第 2 圖所示。

第 3 至 6 圖係顯示根據本發明實施例之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法之流程剖面圖。首先，請參照第 3A 及 3B (第 3A 圖之上視圖) 圖，在一半導體基底 10 上形成一埋藏絕緣層 12 及一半導體層 14，本實施例則以一絕緣體上有矽 (SOI) 之晶圓為例，用以做為啟始材料，可利用植入氧 (SIMOX) 或是 SmartCut[®] 技術來得到隔離，但並不以此為限制。半導體層 (SOI 層) 14 一般是厚度小於約 1000 Å 的矽材料。埋藏絕緣層 12 一般是由氧化矽所



五、發明說明 (4)

構成。接著，在矽層14上沉積一薄二氧化矽層(未顯示)約100 Å，再施行n+型或p+型離子佈值使半導體層14之阻值降低。之後，在半導體基底10上利用電子束微影及蝕刻製程製作源極S/汲極D與連接源/汲極(S/D)之電子傳輸通道18。如第3B圖所示，源極與汲極(S/D)之間有一寬度很小($< 80\text{ nm}$)之細線18，此連接(S/D)之細線18即為電子傳輸通道18(因經微影製程可將SOI之上層矽蝕刻成源極、汲極與連接源、汲極之電子傳輸通道結構)。

然後，請參照第4A及4B(第4A圖之上視圖)圖，去除薄二氧化矽層，如利用氫氟酸蝕刻去除薄二氧化矽層。之後，於半導體層14沉積一絕緣層，絕緣層例如是利用乾氧方式成長50-70 Å之二氧化矽層20，再沉積四乙氧基矽烷(TEOS)層22，例如，利用化學氣相沈積法沉積TEOS二氧化矽層約1000-2000 Å。之後，利用電子束微影及蝕刻製程將二氧化矽層20及四乙氧基矽烷(TEOS)層22製作成一垂直跨越電子傳輸通道且寬度小於80奈米之二氧化矽細線。並進一步利用稀釋的氫氟酸濕式蝕刻，來減縮線寬至40奈米以下。之後，沉積閘極絕緣層24，例如，利用化學氣相沈積法或氧化法沉積二氧化矽層約50-300 Å。

請參照第5A及5B(第5A圖之上視圖)圖，於基底10上沉積一複晶矽層，例如，利用化學氣相沈積法沉積複晶矽層約1000-2000 Å，再進行乾式蝕刻，製作出如圖所示之二氧化矽細線兩側的間隙壁(spacer)閘極26，寬為50-90奈米。在此製程中當蝕刻複晶矽後，會在二氧化矽細線兩側



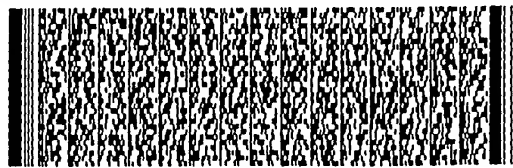
五、發明說明 (5)

因側壁結構之關係殘留複晶矽而形成所謂的間隙壁，此間隙壁之高寬與二氧化矽細線之高度和複晶矽之厚度與蝕刻複晶矽之時間有關，因其自然形成於二氧化矽細線之兩側，故有自我對準及對稱的特性。

本發明實施例之製造方法可應用於單電子電晶體及單電子記憶體之製作。第6圖係顯示將本發明之製造方法應用於單電子電晶體製程之後續製程之剖面圖，接續第5圖先於半導體基底10上全面性形成一保護層30，如氧化矽層2000-5000 Å。接著，再進行後段金屬製程或直接開接觸窗製作製作金屬上閘極32及金屬歐姆接觸製程即完成單電子電晶體之製作。

本發明之奈米單電子電晶體，其剖面結構圖示於第6圖。該元件係製作在一絕緣體上有矽之半導體基底10之上，如在半導體基底10上形成一埋藏絕緣層12及一半導體層14，本實施例則以一絕緣體上有矽(SOI)之晶圓為例。上述基底10定義有單電子電晶體元件，包括源極S/汲極D與電子傳輸通道18，係使用利用電子束微影及蝕刻製程在半導體基底10上製作源極S/汲極D與連接源/汲極(S/D)之電子傳輸通道18；以及一雙複晶矽間隙壁閘極26，形成於半導體基底10上，此雙複晶矽間隙壁閘極26是被一絕緣層22隔離且分立及相互對稱在絕緣層兩側。其中，絕緣層22是垂直跨越電子傳輸通道18。

接下來說明本發明之複晶矽間隙壁閘極單電子電晶體之電性特性。



五、發明說明 (6)

電性模擬：利用荷蘭Delft大學的單電子電晶體模擬軟體，執行理論計算，並以計所得之結果來說明此複晶矽間隙壁閘極單電子電晶體之電性特性。

1. 主動區幾何結構，請參照第6圖。

2. 單電子電晶體能階示意圖，請參照第7圖。

3. 等效電路圖：C1 = C2 = 23 aF, Cg = 0.37 aF，請參照第8圖。

4. 等效電路中，電容的計算方式

$$C1 = C2 = \epsilon_{ox} \frac{A_{lg}}{t_{ox}} = K_{ox} \epsilon_p \frac{A_{lg}}{t_{ox}} = (3.9 \times 8.845 \times 10^{-12}) \times \frac{84 \times 10^{-9} \times 80 \times 10^{-9}}{10 \times 10^{-9}} = 23 aF$$

$$Cg = \epsilon_{ox} \frac{A_{ug}}{t_{ug}} = \epsilon_{ox} \frac{A_{ug}}{t_{ug}} = K_{ox} \epsilon_p \frac{A_{ug}}{t_{ug}} = (3.9 \times 8.845 \times 10^{-12}) \times \frac{40 \times 10^{-9} \times 80 \times 10^{-9}}{300 \times 10^{-9}} = 0.37 aF$$

$$A_{lg} = W_{lg} \times W_{ch}$$

$$A_{ug} = W_{ox} \times W_{ch}$$

C1, C2 為量子點左右之穿隧電容，R1, R2 為穿隧電阻。

Cg 為上閘極的電容

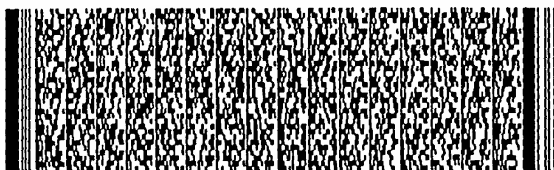
A_{lg} 為下閘極與通道所夾之面積

t_{ox} 為下閘極與通道之間氧化層的厚度

A_{ug} 為上閘極與通道所夾之面積

t_{ug} 為上閘極與通道之間氧化層的厚度

W_{lg} 為複晶矽下閘極的寬度，為84奈米



五、發明說明 (7)

W_{ch} 為矽通道的寬度，為80奈米

W_{ox} 為二氧化矽細線的寬度，為40奈米

模擬參數說明：

$C1, C2$ 為源、汲極端電容

$R1, R2$ 為源、汲極端電阻

$Cg1$ 為上閘極端電容

$Vb1$ 為源極偏壓(預設為0)

$Vb2$ 為汲極偏壓

$Q0$ 為初始背景電荷(預設為0)

Temperature [K] 為模擬之操作溫度

$Vstart$ 為汲極起始電壓

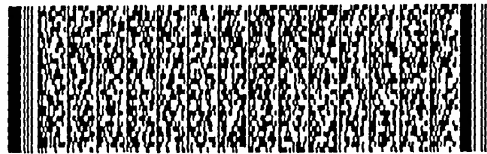
$Vstop$ 為汲極終止電壓

point 為計算模擬點數

I_d-V_d 模擬(庫倫阻斷, Coulomb Blockade)，請參照第9A-9D圖。結果顯示於4 K下已有庫倫阻斷效應(Coulomb Blockade)出現，0.1 K時其特性更為清楚。

I_d-V_g 模擬(電流振盪 Current Oscillation)，請參照第10A-10D圖。當元件尺寸縮小到上述尺寸或更小時，展現出在室溫下具有可操作的模擬電性特性，因此在此所提出之元件製作與結構的發明，可具有室溫下操作的能力。

5. 室溫操作之複晶矽間隙壁閘極單電子電晶體的電性



五、發明說明 (8)

特性，請參照第11A-11B圖，當此元件尺寸繼續縮小至以下尺寸，

t_{ox} 為下閘極與通道之間氧化層的厚度，為30奈米

t_{ug} 為上閘極與通道之間氧化層的厚度，為100奈米

W_{lg} 為複晶矽下閘極的寬度，為20奈米

W_{ch} 為矽通道的寬度，為20奈米

W_{ox} 為二氧化矽細線的寬度，為20奈米

等效電路中的電容值為：

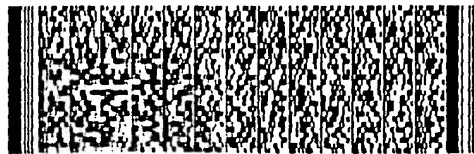
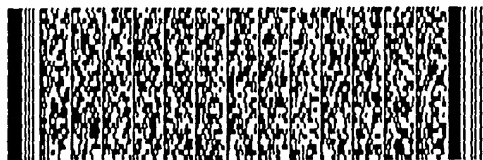
$$C1 = C2 = \epsilon_{ox} \frac{A_{lg}}{t_{ox}} = K_{ox} \epsilon_o \frac{A_{lg}}{t_{ox}} = (3.9 \times 8.845 \times 10^{-12}) \times \frac{20 \times 10^{-9} \times 20 \times 10^{-9}}{30 \times 10^{-9}} = 0.45 aF$$

$$Cg = \epsilon_{ox} \frac{A_{ug}}{t_{ug}} = \epsilon_{ox} \frac{A_{ug}}{t_{ug}} = K_{ox} \epsilon_o \frac{A_{ug}}{t_{ug}} = (3.9 \times 8.845 \times 10^{-12}) \times \frac{20 \times 10^{-9} \times 20 \times 10^{-9}}{100 \times 10^{-9}} = 0.13 aF$$

結果顯示於當元件尺寸縮小到上述尺寸或更小時，展現出在室溫下具有可操作的模擬電性特性，因此在此所提出之元件製作與結構的發明，可具有室溫下操作的能力。

本發明具有下列優點：

一、符合現今超大型積體電路的製程，藉由利用電子束微影多層對準直寫技術、氧化製程特性，乾、濕式蝕刻方式在SOI晶片上製作源極與汲極之間的1維奈米級通道(channel)，加上複晶矽間隙壁閘極(poly spacer gate)外接之偏壓以期達成單電子電晶體結構之製作。



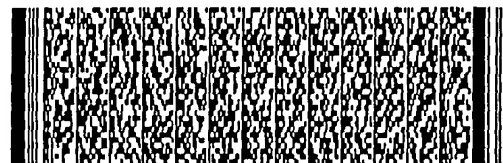
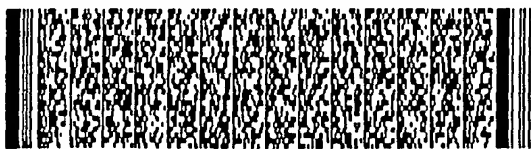
五、發明說明 (9)

二、製作二氧化矽的1維奈米級細線(nano wire) , 為利用電子束微影技術, 並輔以稀釋之氫氟酸(HF)來進一步縮減線寬, 縮減分立閘極的間距, 進而減少量子井的電容, 來提高操作溫度。

三、複晶矽間隙壁閘極為自我對準的製程, 製程成熟穩定可靠, 並有對稱的特性。

四、利用在源極與汲極作選擇性n+型離子佈值, 與金屬上閘極偏壓控制, 於通道上形成2維電子氣(2DEG), 使電子侷限於矽通道上方幾個奈米區域, 同時避免與n+摻雜離子的碰撞, 提高電子的傳輸速度。

雖然本發明已以較佳實施例揭露如上, 然其並非用以限定本發明, 任何熟習此技藝者, 在不脫離本發明之精神和範圍內, 當可作些許之更動與潤飾, 因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示利用電子束微影技術製作二氧化矽的1維奈米級細線(nano wire)。

第2圖係顯示元件的複晶矽閘極之電子顯微鏡照片。

第3至6圖係顯示根據本發明實施例的方法之流程剖面圖，其中第3A、4A、5A、6圖是為側視圖，第3B、4B、5B圖是為上視圖。

第7圖係顯示單電子電晶體能階示意圖。

第8圖係顯示複晶矽間隙壁閘極單電子電晶體的等效電路圖。

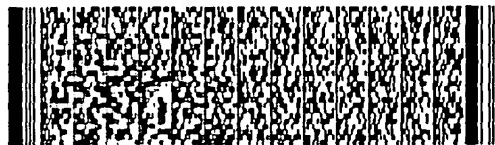
第9A至9D圖係顯示複晶矽間隙壁閘極單電子電晶體的 I_d - V_d 模擬(庫倫阻斷, Coulomb Blockade)。

第10A至10D圖係顯示複晶矽間隙壁閘極單電子電晶體的 I_d - V_g 模擬(電流振盪Current Oscillation)。

第11A至11B圖係顯示室溫操作之複晶矽間隙壁閘極單電子電晶體的電性特性。

符號說明

- 10~半導體基底；
- 12~埋藏絕緣層；
- 14~半導體層；
- 18~電子傳輸通道；
- 20~二氧化矽層；
- 22~四乙氧基矽烷層；
- 24~閘極絕緣層；
- 26~複晶矽間隙壁閘極；



圖式簡單說明

S/D~源/汲極；

30~保護層；

32~金屬上閘極。



六、申請專利範圍

1. 一種自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，適用於一絕緣體上有矽之半導體基底，包括下列步驟：

於該絕緣體上有矽之半導體基底上沉積一薄二氧化矽層，且施行離子佈值使該基底阻值降低；

利用電子束微影及蝕刻製程於該絕緣體上有矽之半導體基底上製作源/汲極與連接源/汲極之電子傳輸通道；

去除該薄二氧化矽層再於該基底上沉積一絕緣層；

將該絕緣層減縮線寬至1至40奈米之間而製作成一垂直跨越該電子傳輸通道之細線；

於該基底上沉積一閘極絕緣層；以及

於該絕緣層兩側形成複晶矽間隙壁(spacer)閘極。

2. 如申請專利範圍第1項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，更包括下列步驟：

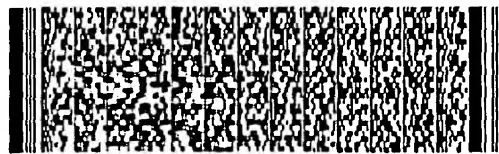
於該基底上沉積一保護層；以及

於該保護層上製作金屬上閘極及歐姆接觸製程。

3. 如申請專利範圍第1項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中該絕緣層包括一二氧化矽層及一四乙氧基矽烷(TEOS)層。

4. 如申請專利範圍第1項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中，製作該垂直跨越該電子傳輸通道之細線，更包括下列步驟：

利用電子束微影及蝕刻製程將該絕緣層減縮線寬至小於80奈米；以及



六、申請專利範圍

利用稀釋的氫氟酸濕式蝕刻，來減縮線寬至1至40奈米之間。

5. 如申請專利範圍第3項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中該二氧化矽層是利用乾氧方式成長50-500 Å。

6. 如申請專利範圍第2項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中該保護層是為二氧化矽層。

7. 如申請專利範圍第1項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中形成該複晶矽間隙壁閘極是利用化學氣相沈積法沉積複晶矽層約1000-2000 Å。

8. 如申請專利範圍第1項所述之自我對準之複晶矽間隙壁閘極之單電子電晶體之製造方法，其中形成該複晶矽間隙壁閘極是利用乾式蝕刻，製作出寬為10-90奈米之複晶矽間隙壁閘極。

9. 一種奈米單電子電晶體結構，包括：

一絕緣體上有矽之半導體基底；

一雙複晶矽間隙壁閘極，形成於該半導體基底上，該雙複晶矽間隙壁閘極是被一絕緣層隔離且分立及相互對稱在絕緣層兩側；

一源/汲極，形成於該半導體基底上；以及

一電子傳輸通道，用以連接該源/汲極。

10. 如申請專利範圍第9項所述之奈米單電子電晶體結

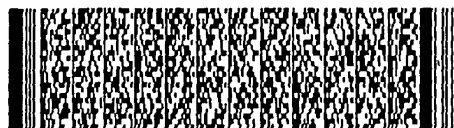


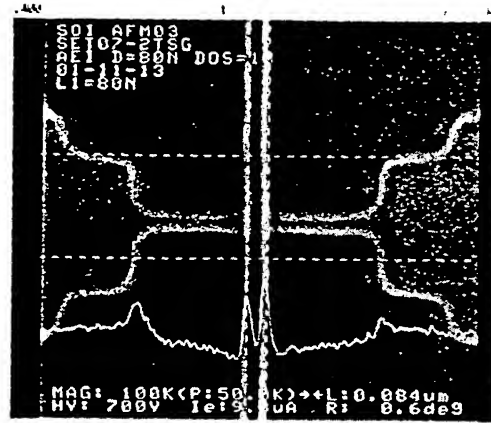
六、申請專利範圍

構結構，其中，該源/汲極與該電子傳輸通道是利用電子束微影及蝕刻製程製作。

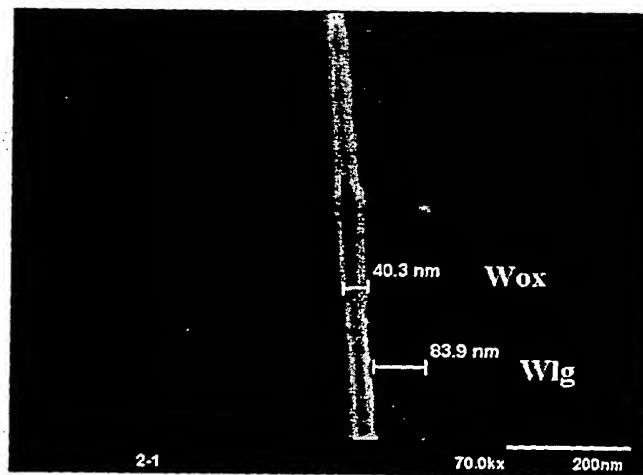
11. 如申請專利範圍第9項所述之結構，其中，該複晶矽間隙壁閘極之寬度為10-90奈米。

12. 如申請專利範圍第9項所述之結構，其中，該絕緣層垂直該電子傳輸通道。

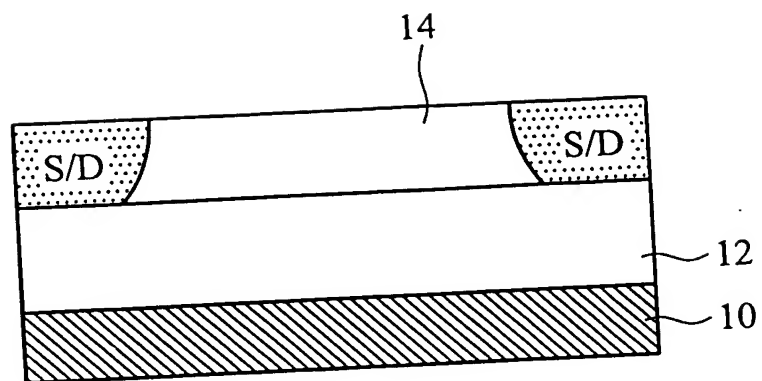




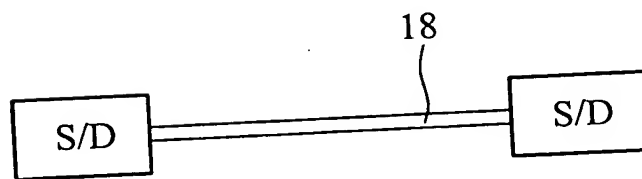
第 1 圖



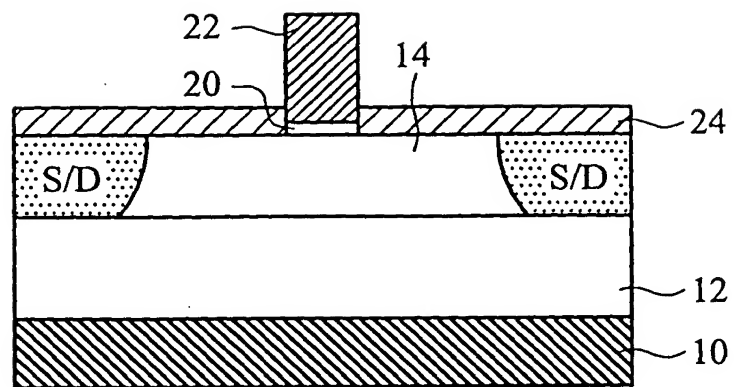
第 2 圖



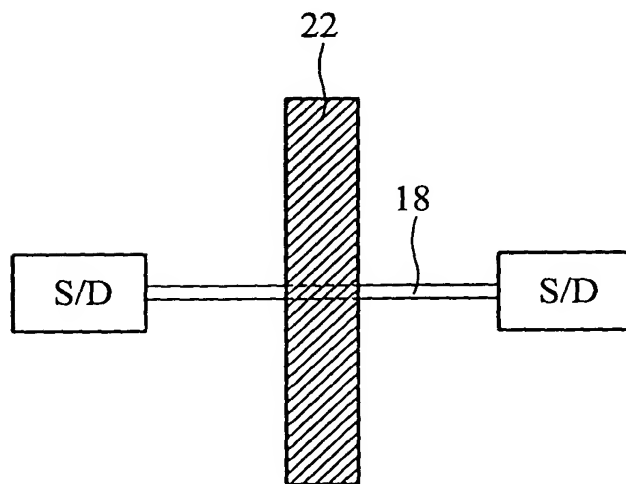
第3A圖



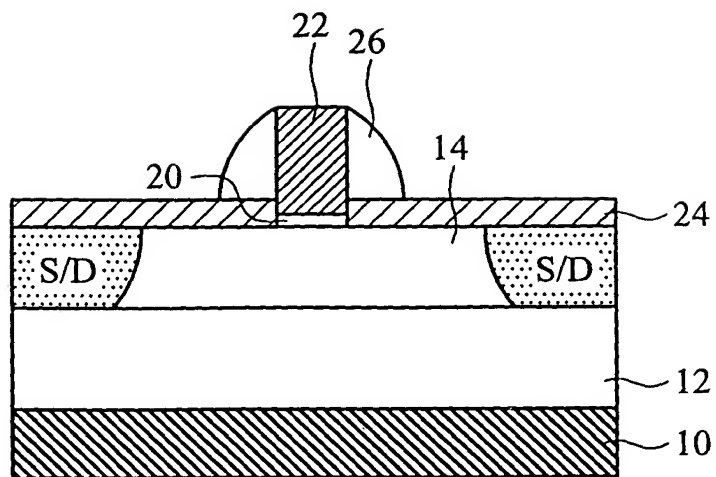
第3B圖



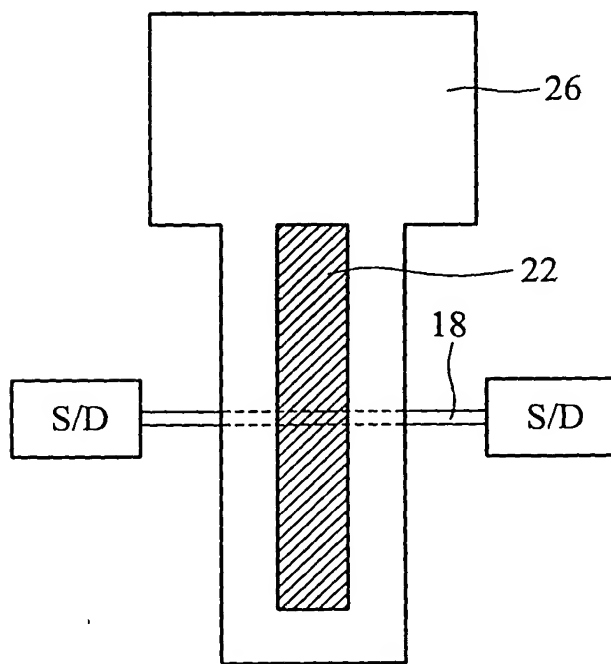
第 4A 圖



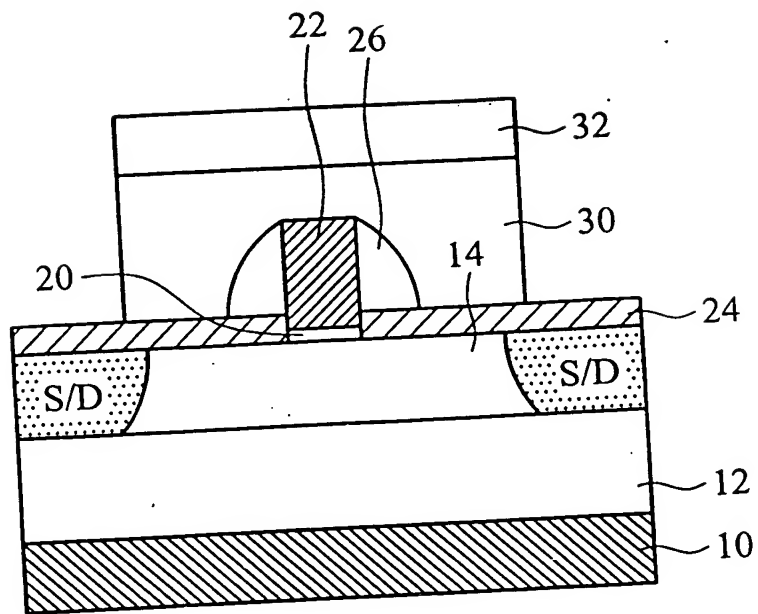
第 4B 圖



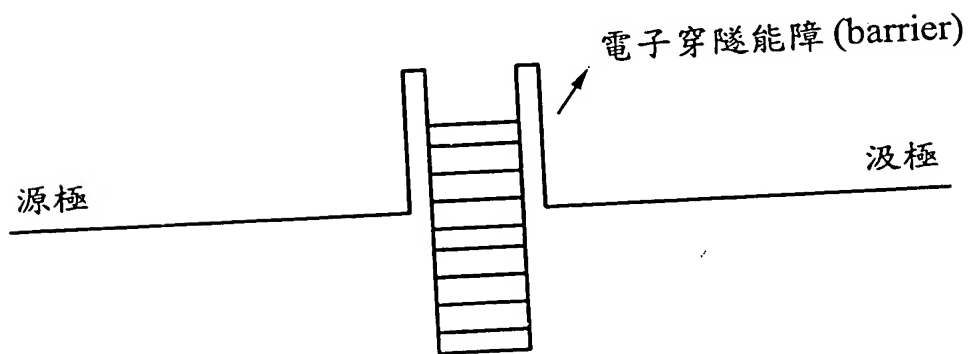
第5A圖



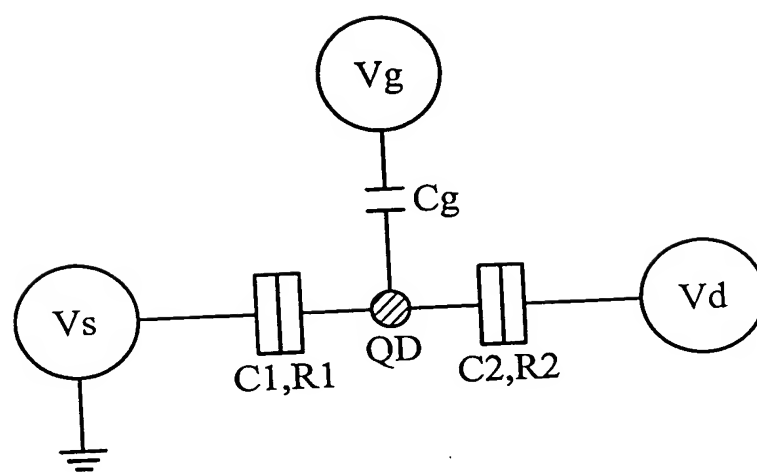
第5B圖



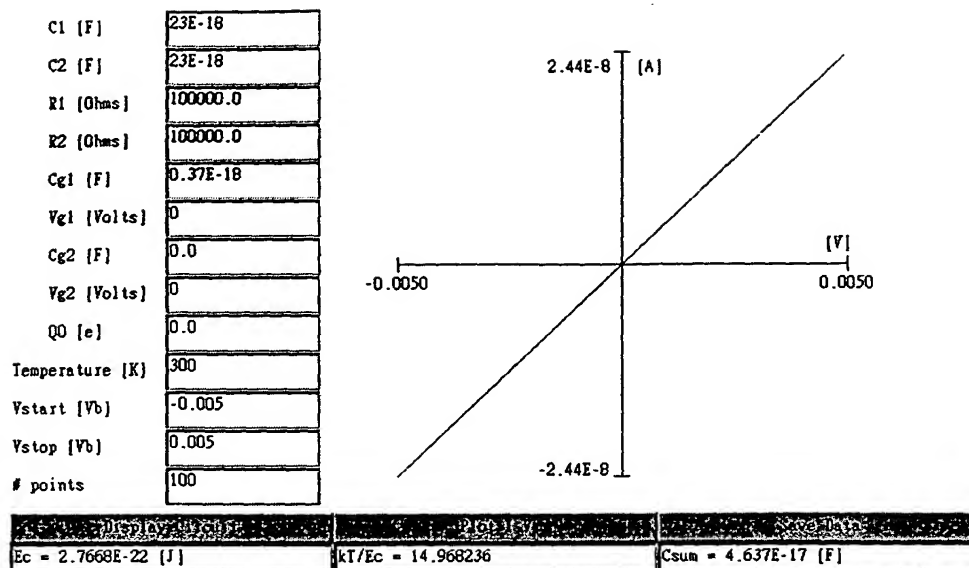
第 6 圖



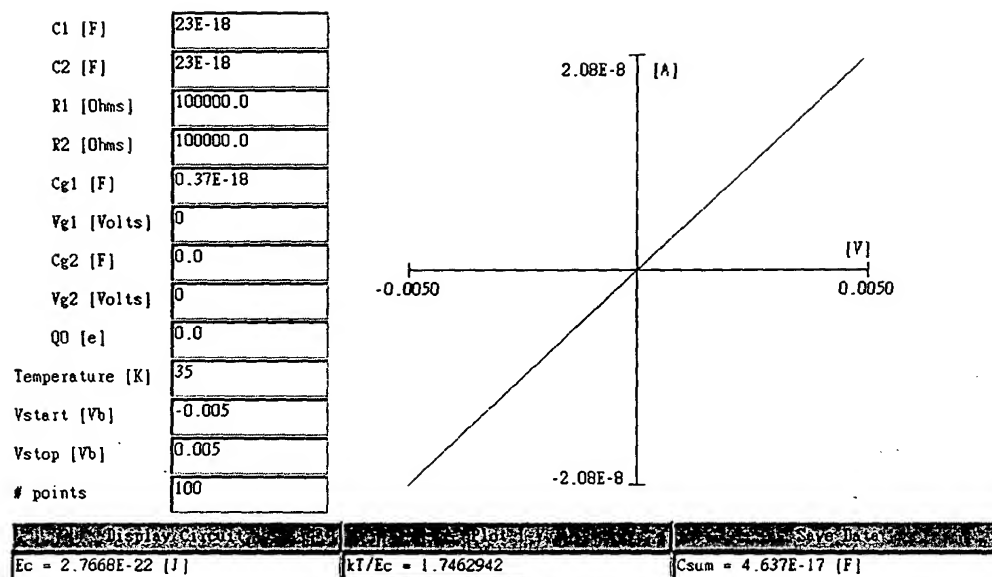
第 7 圖



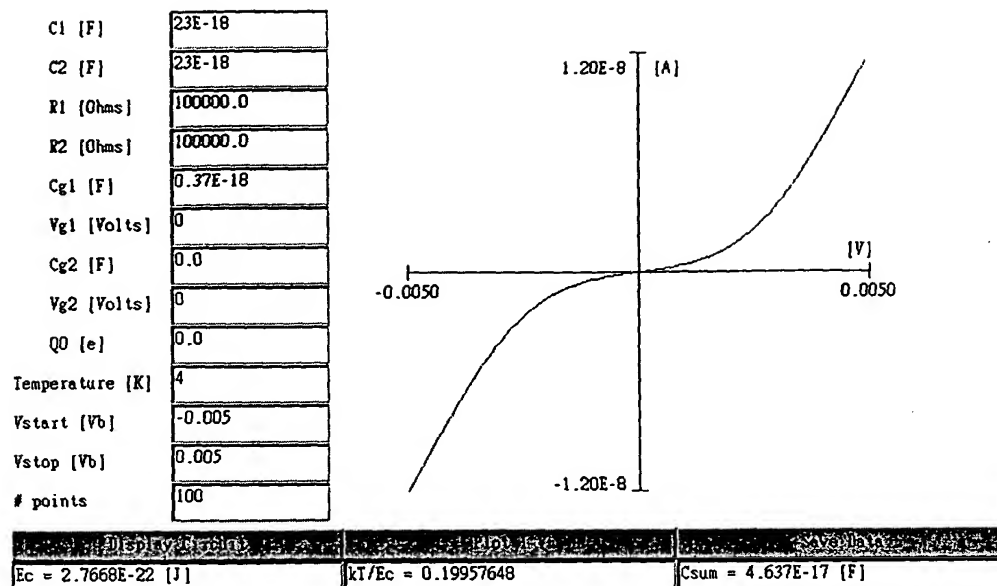
第 8 圖



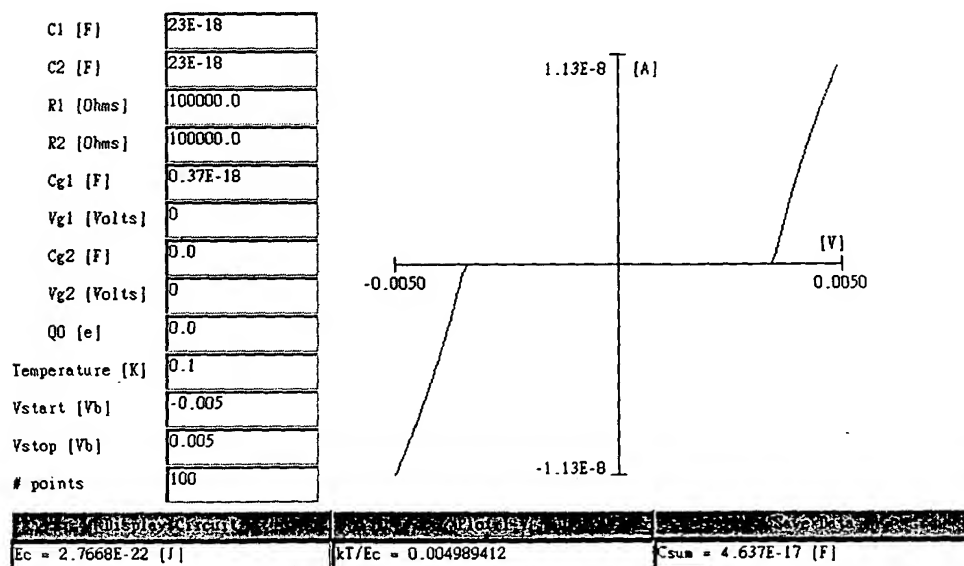
第 9A 圖



第 9B 圖

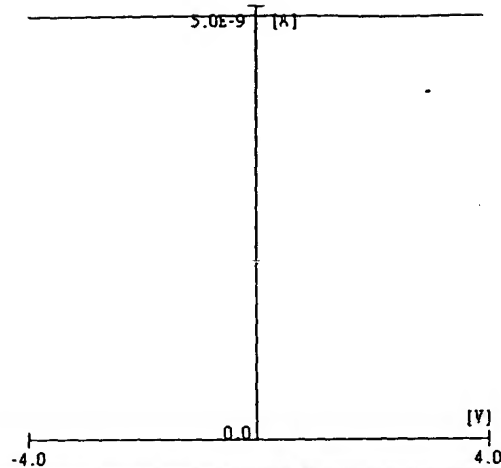


第 9C 圖



第 9D 圖

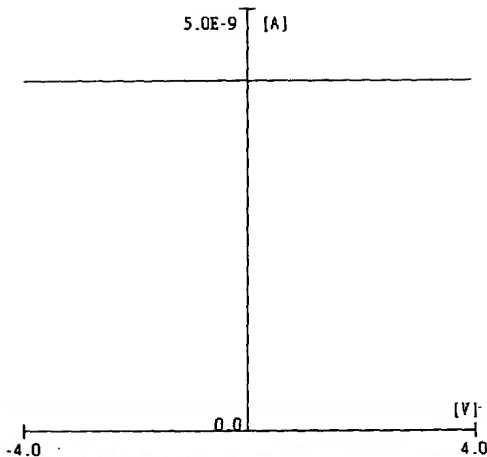
C1 [F]	23E-18
C2 [F]	23E-18
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	0.37E-18
Vb1 [Volts]	0
Vb2 [Volts]	1.0E-3
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	300
Vstart [Vg1]	-4
Vstop [Vg1]	4
# points	100



Ec = 2.7668E-22 [J]	kT/Ec = 14.968236	Csum = 4.637E-17 [F]
---------------------	-------------------	----------------------

第 10A 圖

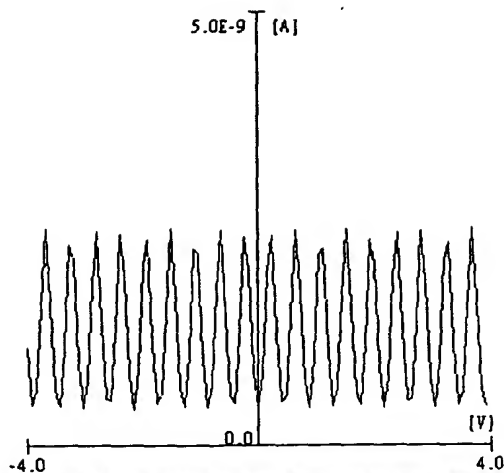
C1 [F]	23E-18
C2 [F]	23E-18
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	0.37E-18
Vb1 [Volts]	0
Vb2 [Volts]	1.0E-3
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	35
Vstart [Vg1]	-4
Vstop [Vg1]	4
# points	100



Ec = 2.7668E-22 [J]	kT/Ec = 1.7462942	Csum = 4.637E-17 [F]
---------------------	-------------------	----------------------

第 10B 圖

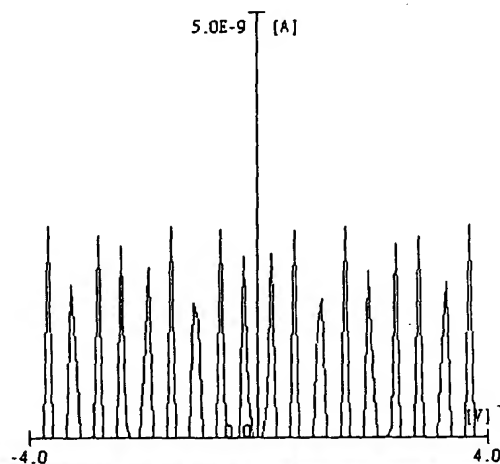
C1 [F]	23E-18
C2 [F]	23E-18
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	0.37E-18
Vb1 [Volts]	0
Vb2 [Volts]	1.0E-3
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	4
Vstart [Vg1]	-4
Vstop [Vg1]	4
# points	100



Ec = 2.7668E-22 [J]	kT/Ec = 0.19957648	Csum = 4.637E-17 [F]
---------------------	--------------------	----------------------

第 10C 圖

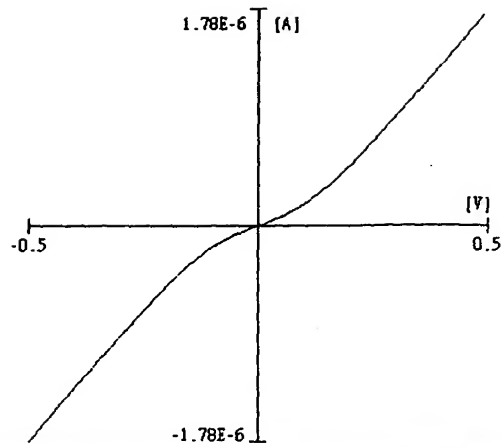
C1 [F]	23E-18
C2 [F]	23E-18
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	0.37E-18
Vb1 [Volts]	0
Vb2 [Volts]	1.0E-3
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	0.1
Vstart [Vg1]	-4
Vstop [Vg1]	4
# points	100



Ec = 2.7668E-22 [J]	kT/Ec = 0.004989412	Csum = 4.637E-17 [F]
---------------------	---------------------	----------------------

第 10D 圖

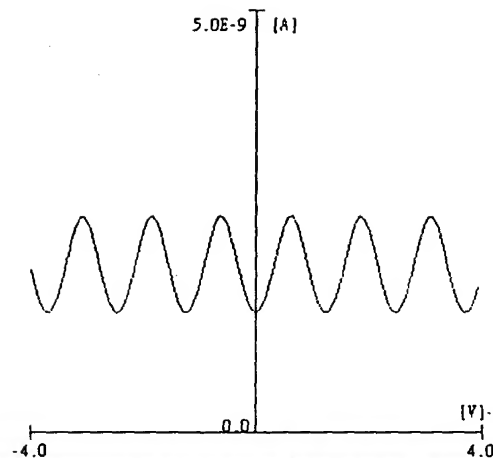
C1 [F]	4.5E-19
C2 [F]	4.5E-19
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	1.3E-19
Vg1 [Volts]	0
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	300
Vstart [Vb]	-0.5
Vstop [Vb]	0.5
# points	100



Ec = 1.2456E-20 [J]	kT/Ec = 0.3324	Csum = 1.0300E-18 [F]
---------------------	----------------	-----------------------

第 11A 圖

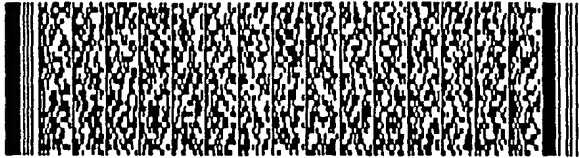
C1 [F]	4.5E-19
C2 [F]	4.5E-19
R1 [Ohms]	100000.0
R2 [Ohms]	100000.0
Cg1 [F]	1.3E-19
Vb1 [Volts]	0
Vb2 [Volts]	1.0E-3
Cg2 [F]	0.0
Vg2 [Volts]	0
Q0 [e]	0.0
Temperature [K]	300
Vstart [Vg1]	-4
Vstop [Vg1]	4
# points	100



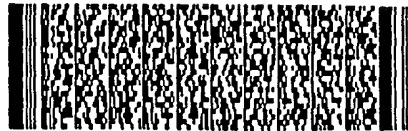
Ec = 1.2456E-20 [J]	kT/Ec = 0.3324	Csum = 1.0300E-18 [F]
---------------------	----------------	-----------------------

第 11B 圖

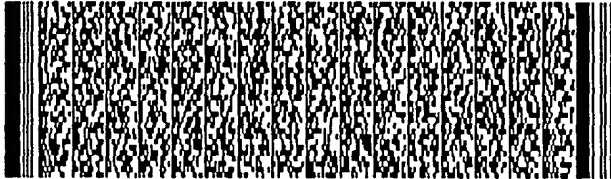
第 1/18 頁



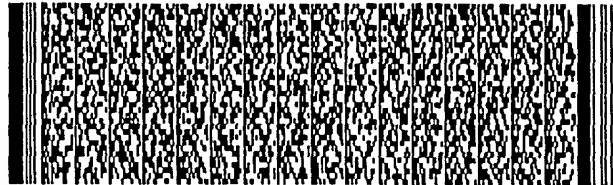
第 2/18 頁



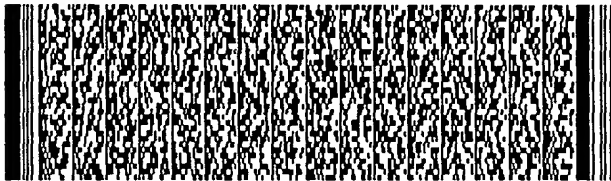
第 3/18 頁



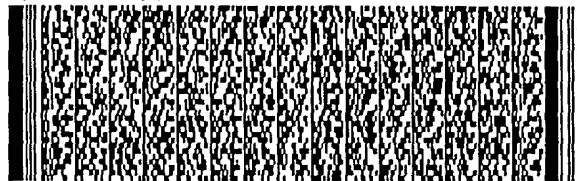
第 5/18 頁



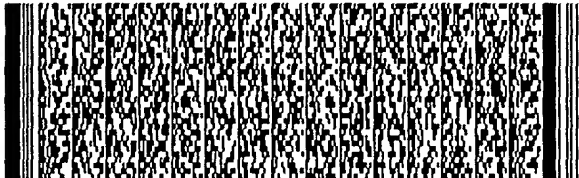
第 5/18 頁



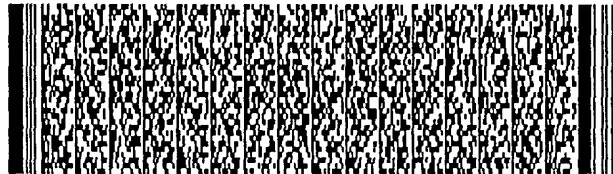
第 6/18 頁



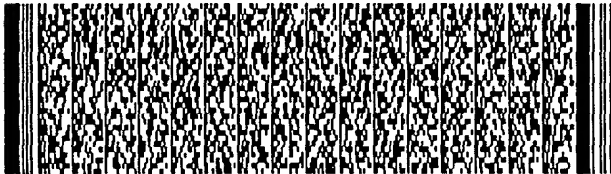
第 6/18 頁



第 7/18 頁



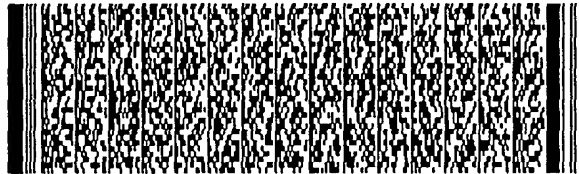
第 7/18 頁



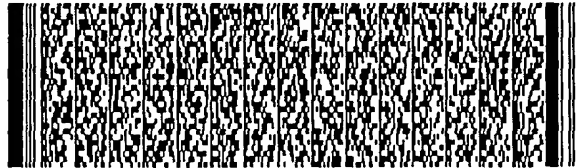
第 8/18 頁



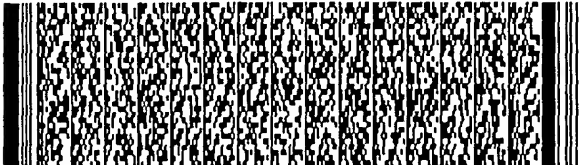
第 8/18 頁



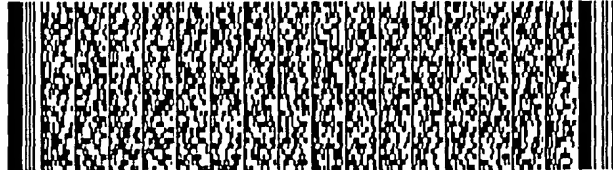
第 9/18 頁



第 9/18 頁



第 10/18 頁



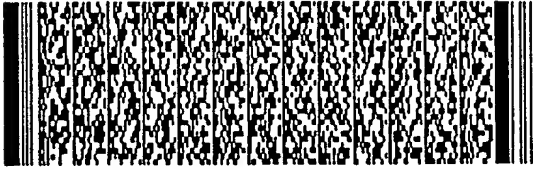
第 11/18 頁



第 11/18 頁



第 12/18 頁



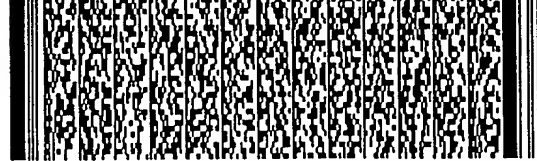
第 12/18 頁



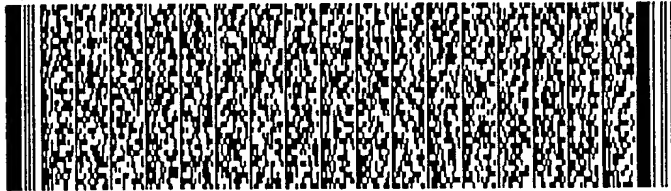
第 13/18 頁



第 13/18 頁



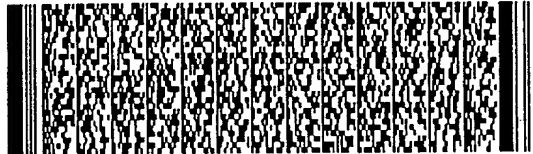
第 14/18 頁



第 15/18 頁



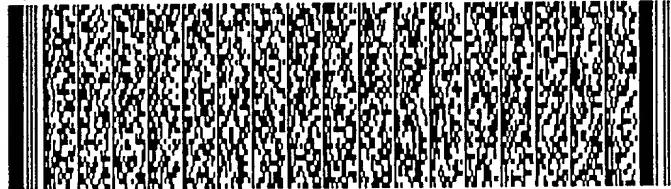
第 16/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

